



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001117724 A**(43) Date of publication of application: **27.04.01**

(51) Int. Cl.

G06F 3/08**G06F 3/06****G06F 13/10****G11B 20/10**(21) Application number: **11296272**(22) Date of filing: **19.10.99**(71) Applicant: **HITACHI LTD**(72) Inventor: **KUDO CHOMEI
MITSUISHI NAOMIKI**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND SYSTEM**

succeeding packet command in the register part 135.

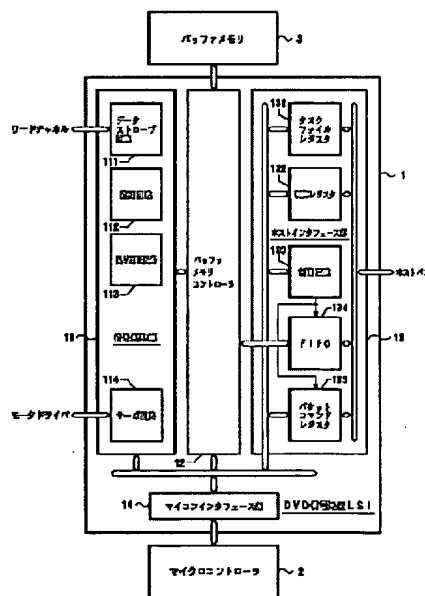
COPYRIGHT: (C)2001,JPO

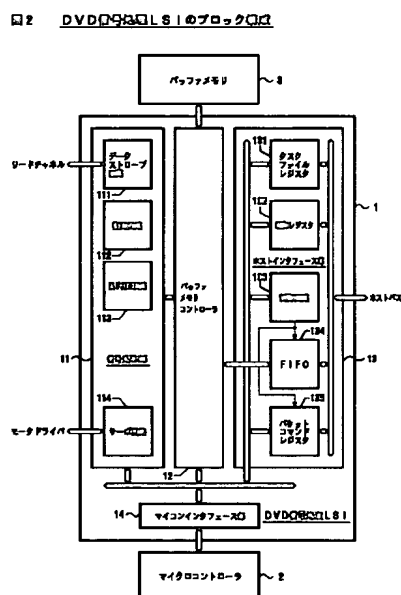
図2 DVD信号処理LSIのブロック図

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the functions of a DVD signal processing LSI or the like and the throughput of a DVD-ROM drive or the like including the DVD signal processing LSI and to speed up a computer system or the like including the DVD-ROM drive.

SOLUTION: A host interface part 13 in a DVD signal processing LSI 1 or the like included, e.g. in a DVD-ROM drive and capable of executing the processing of a read signal outputted from a DVD-ROM through a read channel and the servo control of a motor driver, a pickup, etc., is provided with an exclusive packet command register part 135 for storing a packet command independently of a data FIFO for transferring data between the host interface part 13 and a host computer, all addresses of the register part 135 are arranged in the address space of a microcontroller 2 being the main storage device of the DVD-ROM device, and a control circuit 133 of the host interface part 13 is provided with a function for decoding a host command outputted from the host computer and selectively writing a





【特許請求の範囲】

【請求項1】 第1の処理装置から所定ビット単位で時系列的に入力される第1のコマンドを保持し、かつ、第2の処理装置から任意のアドレスを指定しつつ上記第1のコマンドを所定ビット単位で読み出しうる第1の記憶手段を具備してなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、上記第1の記憶手段のアドレスは、上記第2の処理装置のアドレス空間上に配置されるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1又は請求項2において、上記半導体集積回路装置は、さらに、複数単位からなり上記第1の処理装置から所定ビット単位で時系列的に入力されるデータを保持するFIFO形態の第2の記憶手段を具備するものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、請求項2又は請求項3において、

上記半導体集積回路装置と上記第1の処理装置との間の信号形式は、ATAPI形式とされるものであり、

上記第1のコマンドは、第2のコマンドが所定のコマンドとされるとき、該第2のコマンドに引き続いて入力されるものであって、

上記第1の記憶手段には、上記第2のコマンドが上記所定のコマンドとされるとき、選択的に上記第1のコマンドが伝達されるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、

上記第1の記憶手段及びその関連部は、上記第2の処理装置により選択的に初期化しうるものとされることを特徴とする半導体集積回路装置。

【請求項6】 請求項1、請求項2、請求項3、請求項4又は請求項5において、

上記第1のコマンドは、上記第1の処理装置から2バイト単位で時系列的に入力された後、上記第1の記憶手段の連続する二つのアドレスにバイト単位で格納されるものであって、

上記2バイト単位で入力される第1のコマンドの各バイトと、上記第1の記憶手段の連続する二つのアドレスとの間の対応は、選択的に切り換える構成とされるものであることを特徴とする半導体集積回路装置。

【請求項7】 請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6において、

上記半導体集積回路装置は、情報媒体制御装置構成する信号処理LSIであって、

上記第1の処理装置は、ホストコンピュータであり、

上記第2の処理装置は、上記情報媒体制御装置の上記信号処理LSIを含む各部の動作を制御するマイクロコン

トローラであることを特徴とする半導体集積回路装置。

【請求項8】 請求項7において、

上記情報媒体制御装置は、DVD-ROMドライブであり、

上記信号処理LSIは、DVD信号処理LSIであることを特徴とする半導体集積回路装置。

【請求項9】 第1の処理装置から所定ビット単位で時系列的に入力される第1のコマンドを保持し、かつ、第2の処理装置から任意のアドレスを指定しつつ上記第1のコマンドを所定ビット単位で読み出しうる第1の記憶手段を含む半導体集積回路装置を具備することを特徴とするシステム。

【請求項10】 請求項9において、

上記システムは、情報媒体制御装置あり、

上記半導体集積回路装置は、上記情報媒体制御装置を構成する信号処理LSIであって、

上記第1の処理装置は、ホストコンピュータであり、

上記第2の処理装置は、上記情報媒体制御装置の上記信号処理LSIを含む各部の動作を制御するマイクロコントローラであることを特徴とするシステム。

【請求項11】 請求項10において、

上記情報媒体制御装置は、DVD-ROMドライブであり、

上記信号処理LSIは、DVD信号処理LSIであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体集積回路装置及びシステムに関し、例えば、DVD信号処理LSI及びこれを含むDVD-ROMドライブならびにその機能性の向上及び処理の高速化に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 パーソナルコンピュータ等のリムーバブルな記憶装置として用いられるCD（コンパクト・ディスク）-ROM（リードオンリメモリ）ドライブ及びDVD（デジタル・バーサタイル・ディスク）-ROMドライブがある。また、このようなDVD-ROMドライブ等に含まれ、DVD-ROMから出力される読み出し信号の処理やモータドライバ及びピックアップのサーボ制御等へ供されるいわゆるDVD信号処理LSI（大規模集積回路装置）がある。

【0003】 DVD-ROMドライブ（DVD-ROM装置）については、例えば、日経BP社発行の平成9年4月7日付『日経エレクトロニクス』no. 686、第19頁～第20頁に記載されている。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、上記のようなDVD-ROMドライブ（情報媒体制御装置）を構成するDVD信号処理LSI

10

20

30

40

50

の改良設計に従事し、次の問題点に気付いた。すなわち、このDVD信号処理LSIは、例えば、図8に示されるように、信号処理部11'、バッファメモリコントローラ12'、ホストインタフェース部13'ならびにマイコンインタフェース部14'を含む。

【0005】このうち、信号処理部11'は、図示されないDVD-ROMからピックアップを介して出力されるリードチャネルにより増幅される読み出し信号を受けるデータストローブ回路111'と、モータドライバやピックアップの動作を制御するサーボ制御回路114'と、符号処理を行う復調回路112'及び誤り訂正回路113'とを含み、ホストインタフェース部13'は、ホストコンピュータからホストバスを介して入力されるホストコマンド等を保持するタスクファイルレジスタ131'と、割込レジスタを含む制御レジスタ132'と、ホストインタフェース部の動作を制御する制御回路133'と、バッファメモリ3'及びホストコンピュータ間で授受されるデータのレート整合を行うデータFIFO（ファースト・イン・ファースト・アウト）D134'及びパケットFIFOP135'を含む。

【0006】一方、バッファメモリコントローラ12'は、図の上方においてバッファメモリ3'に結合され、図の左方において信号処理部11'に結合される。また、図の右方においてホストインタフェース部13'のデータFIFO134'に結合されるとともに、図の下方において、マイコンインタフェース部14'を介してマイクロコントローラ2'のバスに結合される。このマイコンインタフェース部14'には、さらに信号処理部11'の各ブロックが結合されるとともに、ホストインタフェース部13'の内部バスが結合される。

【0007】DVD-ROMからピックアップを介して出力されるリードチャネルにより増幅される読み出し信号は、DVD信号処理LSI1'の信号処理部11'のデータストローブ回路111'によってデジタル化され、クロック抽出処理を受ける。また、復調回路112'によるいわゆる8-16復調処理を受けて8ビットつまりバイト単位のデータとされた後、バッファメモリコントローラ12'を介してバッファメモリ3'に蓄積される。そして、所定量がバッファメモリ3'に蓄積された時点で、誤り訂正回路113'による誤り訂正処理を受けた後、ホストコンピュータの指示を受けて、ホストインタフェース部13'のデータFIFOD134'からホストバスを介してホストコンピュータに出力される。

【0008】ホストコンピュータは、DVD信号処理LSI1'のホストインタフェース部13'のタスクファイルレジスタ131'に所定のホストコマンドを書き込んで例えばDVD-ROMの読み出し動作を指示し、その制御レジスタ132'に書き込まれたステータスによって読み出し動作等の終了を識別する。また、マイクロコントローラ2'は、ホストコンピュータの指示を受け

てDVD-ROMの読み出し動作を開始し、そのシーケンス制御を行うとともに、DVD信号処理LSI1'のサーボ制御回路114'からモータドライバを介してDVD-ROM駆動用のモータ、アクチュエータならびにピックアップ等を制御する。

【0009】ところで、上記DVD-ROMドライブにおいて、DVD信号処理LSI及びホストコンピュータ間の信号形式はATAPI（AT・アタッチメント・パケット・インタフェース）形式とされ、ホストコンピュータからDVD-ROMドライブに発行されるホストコマンドは、上記のように、DVD信号処理LSIのタスクファイルレジスタ131'に書き込まれる。また、このホストコマンドがパケットコマンド入力のためのコマンド『A0』である場合、トラックアドレスや転送データ長を含む12バイトのパケットコマンドが引き続いて入力されるが、これらのパケットコマンドは、DVD信号処理LSIのデータFIFOP135'に取り込まれた後、マイクロコントローラにより読み出される。

【0010】従来のDVD-ROMドライブにおいて、DVD信号処理LSI及びホストコンピュータ間のデータバスは16ビットつまり2バイト幅とされ、DVD信号処理LSI及びマイクロコントローラ間のデータバスは、8ビットつまり1バイト幅とされる。このため、データFIFOP135'からマイクロコントローラに対するパケットコマンドの読み出しは、バイト単位の転送命令である『MOV. B』を使って行われ、マイクロコントローラは、例えば、

```
MOV. B      @DR, R0H
MOV. B      @DR, R0L
MOV. B      @DR, R1H
MOV. B      @DR, R1L
MOV. B      @DR, R2H
MOV. B      @DR, R2L
MOV. B      @DR, R3H
MOV. B      @DR, R3L
MOV. B      @DR, R4H
MOV. B      @DR, R4L
MOV. B      @DR, R5H
MOV. B      @DR, R5L
```

なる合計12個の命令を実行しなくてはならない。すなわち、一つのアドレスから読み出すため、パケットFIFOP135'の読み出しアドレスDRからマイクロコントローラの中央処理ユニット（CPU）の汎用レジスタ（R0H, R0L~R5H, R5L）への12個の転送命令（MOV）が必要である。このとき、データリードのみならず、命令リードも余分に必要としてしまう。

【0011】また、マイクロコントローラの中央処理ユニット（CPU）に読み出された12バイトのパケットコマンドは、その汎用レジスタに格納しきれないため、あるいは汎用レジスタに格納できたとしても、そのコマ

ンドを実行するための作業用の汎用レジスタが不足してしまうため、一時的に例えば内蔵RAM（ランダムアクセスメモリ）に転送しなくてはならず、この転送処理もマイクロコントローラの中央処理ユニットの負担となる。さらに、上記12バイトの固定長とされるパケットコマンドは、コマンド種別によっては必ずしもその全バイトが意味を持つとは限らないが、FIFOを介するが故に、マイクロコントローラは常にその全バイトを取り込まざるを得ない。加えて、FIFOを介するパケットコマンドの転送処理は、FIFOのシフト動作を必要とするが、このバスサイクルは非同期であるため、設計上の困難を生ずる。

【0012】以上の結果、マイクロコントローラの中央処理ユニットに対する処理負担が増大し、その処理能力が低下して、DVD-ROMドライブとしてのスループットが低下するとともに、DVD-ROMドライブ及びこれを含むコンピュータシステムのマシンサイクルが高速化されるにしたがって、FIFOのシフト制御が高速動作に制約を与え、これによってマイクロコントローラのマシンサイクルが制限されるおそれもある。

【0013】この発明の目的は、DVD信号処理LSI等の機能性を高めることにある。この発明の他の目的は、DVD信号処理LSIを含むDVD-ROMドライブ等のスループットを高め、DVD-ROMドライブを含むコンピュータシステム等のマシンサイクルを高速化することにある。

【0014】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、例えばDVD-ROMドライブ（情報媒体制御装置）に含まれ、DVD-ROMから出力される読み出し信号の処理やモータドライバ及びピックアップのサーボ制御などに供されるDVD信号処理LSI等において、ホストコンピュータとの間のデータ転送用のデータFIFOとは別個に、パケットコマンドを格納する専用のパケットコマンドレジスタを設け、その全アドレスを、DVD-ROMドライブの主制御装置たるマイクロコントローラのアドレス空間上に配置するとともに、DVD信号処理LSIのホストインタフェース部の制御回路に、ホストコンピュータからのホストコマンドを解釈し、後続するパケットコマンドを選択的にパケットコマンドレジスタに書き込む機能を持たせる。また、データFIFOとパケットコマンドレジスタを、共通の制御回路によって制御するようにする。

【0016】これにより、マイクロコントローラによるパケットコマンドレジスタのランダムアクセスを可能にして、ホストコンピュータから入力されるパケットコマ

ンドを、FIFO形態のレジスタを介することなく、マイクロコントローラに高速転送することができるとともに、マイクロコントローラによる無駄なパケットコマンドの読み出しをなくし、マイクロコントローラの中央処理ユニットの処理負担を軽減して、その処理能力を高めることができる。また、論理的規模の増加を抑止できる。

【0017】上記DVD信号処理LSIにおいて、そのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なリセットフラグを設け、マイクロコントローラに、ホストインタフェース部のパケットコマンドレジスタ及びそのポインタを含む周辺部をリセットしうる機能を持たせる。

【0018】これにより、例えば何らかの原因によって一連のパケットコマンドの入力動作が中断した場合でも、パケットコマンドレジスタの保持内容をクリアし、そのポインタを含む周辺部をリセットして、再送処理を行うことができる。

【0019】上記DVD信号処理LSIにおいて、そのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なセレクトフラグを設け、ホストインタフェース部の制御回路に、ホストコンピュータから2バイト単位で入力されるパケットコマンドの各バイトと、これらのパケットコマンドがバイト単位で格納されるパケットコマンドレジスタの連続する二つのアドレスとの間の対応をセレクトフラグに従って選択的に切り換えうる機能を持たせる。

【0020】これにより、マイクロコントローラの種類に関係なく、パケットコマンドレジスタに対するパケットコマンドの格納処理を汎用化することができる。

【0021】以上の結果、DVD信号処理LSI等の機能性を高めて、これを含むDVD-ROMドライブ等のスループットを高め、DVD-ROMドライブを含むコンピュータシステム等のマシンサイクルを高速化することができる。

【0022】

【発明の実施の形態】図1には、この発明が適用されたDVD-ROMドライブ（システム）の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のDVD-ROMドライブの構成及び動作の概要について説明する。

【0023】なお、本実施例のDVD-ROMドライブは、特に制限されないが、図示されないホストコンピュータ（第1の処理装置）等とともに、所定のコンピュータシステムを構成する。また、図1のDVD信号処理LSI1（半導体集積回路装置）、マイクロコントローラ2（第2の処理装置）、バッファメモリ3（第3の記憶手段）、ドライバ（モータドライバ）61～63、リードチャネル8ならびにアンプ10を含む電子回路は、公知の半導体集積回路の製造技術により、単結晶シリコン

のような1個又は複数の半導体基板面上にそれぞれ形成される。さらに、各電子回路を収納したパッケージは、所定のボード上に実装され、該ボードとアクチュエータ51、スレッドモータ52、スピンドルモータ53ならびにピックアップ7等を含む機構部は、所定のケース内に収納される。

【0024】図1において、この実施例のDVD-ROMドライブは、記憶媒体となるDVD-ROMつまりディスク4と、該ディスク4を回転駆動するスピンドルモータ53を含む機構部とを備える。この機構部は、さらにディスク4に記憶される情報を読み出し電気信号に変換するピックアップ7と、該ピックアップ7をディスク4の記録ピットに焦点を合わせる様に駆動するアクチュエータ51と、アクチュエータ51をトラック直角方向にスライドするスレッドモータ52を含む。

【0025】アクチュエータ51は、ドライバ61により駆動される。また、スレッドモータ52は、ドライバ62によって駆動され、スピンドルモータ53は、ドライバ63によって駆動される。ドライバ61には、後述するDVD信号処理LSI1のサーボ制御回路から制御信号SVDA0及びSVDA1が供給される。また、ドライバ62には、上記サーボ制御回路から制御信号SVDA2が供給され、ドライバ63には、制御信号SVDA3が供給される。

【0026】一方、ピックアップ7は、発光素子となるレーザダイオードと、受光素子となるフォトダイオードとを含み、レーザダイオードから出力される所定波長のレーザ光のディスク4による反射光をフォトダイオードで受けることによって、ディスク4の記憶情報に対応した電気信号たる読み出し信号を生成する。この読み出し信号は、リードチャネル8によって増幅された後、DVD信号処理LSI1のデータ入力端子DINに入力される。リードチャネル8は、さらに、フォーカスエラーやトラッキングエラーを検出し、対応するエラー検出信号FE及びTEをDVD信号処理LSI1に出力するとともに、そのトラックカウンタの計数値TCONTをDVD信号処理LSI1に出力する。リードチャネル8の動作は、SCI（シリアル・コミュニケーション・インタフェース）及びIOP（入出力ポート）を介して、マイクロコントローラ2により制御される。

【0027】マイクロコントローラ2は、マイコンインタフェース部を介してDVD信号処理LSI1に結合される。また、そのSCI及びIOPを介して評価装置91（EQP）に結合可能にされるとともに、IOP及びAIN（アナログ入力ポート）を介して入力装置たるオプション選択装置92（OPT）に結合され、さらにIOPを介して出力装置たる表示装置93（LED）に結合される。

【0028】マイクロコントローラ2は、ホストコンピュータからDVD信号処理LSI1のタスクファイルレ

ジスタ131のコマンドレジスタATCMDなどに書き込まれたコマンドを読み出し、これを解析して、DVD-ROMドライブの指定された動作を開始し、その動作シーケンスを管理・制御する。

【0029】なお、マイクロコントローラ2は、さらに、そのIOPを介してモータドライバミュータ制御を行うとともに、そのPWMタイマの出力をもとにトレイ（ローディング）モータを制御する機能をあわせ持つが、このことについては、本発明と直接関係ないため、具体的な説明を割愛する。

【0030】DVD信号処理LSI1は、後述するように、リードチャネル8ならびにドライバ61～63に結合される信号処理部と、マイクロコントローラ2に結合されるマイコンインタフェース部と、バッファメモリ3に結合されるバッファメモリコントローラと、ホストバスに結合されるホストインタフェース部とを備える。このうち、信号処理部は、リードチャネル8から入力されるトラッキングエラー検出信号TE、フォーカスエラー検出信号FEならびにトラックカウンタ計数値TCONTをもとに、上記機構部のアクチュエータ51、スレッドモータ52ならびにスピンドルモータ53に対するサーボ制御を行う。また、リードチャネル8から入力される読み出し信号をデジタル信号に変換するとともに、該デジタル信号からクロック成分を抽出し、読み出しデータを再生する。

【0031】一方、DVD信号処理LSI1のマイコンインタフェース部は、DVD信号処理LSI1と主制御装置たるマイクロコントローラ2との間のインタフェース整合を司る。また、バッファメモリコントローラは、バッファメモリ3に対するアクセスを整理・調停するとともに、そのバス制御を行う。さらに、ホストインタフェース部は、DVD信号処理LSI1とホストコンピュータとの間のインタフェース整合を司り、そのためのタスクファイルレジスタや制御レジスタ、データFIFOならびにバケットコマンドレジスタ等を含む。

【0032】なお、DVD信号処理LSI1は、オーディオ信号をデジタル信号のまま出力する機能と、アンプ10を介してアナログ信号として出力する機能とをあわせ持ち、そのためのD/A（デジタル・アナログ）変換回路を備える。DVD信号処理LSI1の具体的な構成等については、後で詳細に説明する。

【0033】図2には、図1のDVD-ROMドライブに含まれるDVD信号処理LSI1の一実施例のブロック図が示されている。同図をもとに、この実施例のDVD-ROMドライブに含まれるDVD信号処理LSI1の構成及び動作の概要について説明する。なお、図2のDVD信号処理LSI1の各ブロックを構成する回路素子は、1個の半導体基板面上に形成される。また、図2には、関連するマイクロコントローラ2及びバッファメモリ3が再掲して示される。

【0034】図2において、DVD信号処理LSI 1は、信号処理部11、バッファメモリコントローラ12、ホストインタフェース部13ならびにマイコンインタフェース部14を含む。このうち、信号処理部11は、データストロブ回路111、復調回路112、誤り訂正回路113ならびにサーボ制御回路114を含み、ホストインタフェース部13は、タスクファイルレジスタ131、制御レジスタ132、制御回路133、データFIFO134（第2の記憶手段）ならびにパケットコマンドレジスタ部135（第1の記憶手段）を含む。

【0035】信号処理部11のデータストロブ回路111は、その左方においてリードチャネルに結合される。また、サーボ制御回路114は、その左方において各モータドライバつまりドライバ61～63に結合される。信号処理部11の各ブロックは、その下方においてマイコンインタフェース部14つまりマイクロコントローラ2に結合される。

【0036】一方、ホストインタフェース部13のタスクファイルレジスタ131、制御レジスタ132、データFIFO134ならびにパケットコマンドレジスタ部135は、その右方においてホストバスつまりホストコンピュータに結合される。また、タスクファイルレジスタ131、制御レジスタ132、制御回路133ならびにパケットコマンドレジスタ部135は、その左方において内部バスを介してマイコンインタフェース部14つまりマイクロコントローラ2に結合され、データFIFO134は、バッファメモリコントローラ12に結合される。さらに、バッファメモリコントローラ12は、図の上方においてバッファメモリ3に結合され、図の下方においてマイコンインタフェース部14つまりマイクロコントローラ2に結合され、図の左方において信号処理部11に結合される。

【0037】DVD信号処理LSI 1の信号処理部11のサーボ制御回路114は、図示されないA/D変換回路、D/A変換回路ならびにパルス検出回路を含み、リードチャネル及びモータドライバを介してディスク及びそのピックアップの制御を行う。すなわち、サーボ制御回路114は、A/D変換回路により、リードチャネルから供給されるフォーカスエラー検出信号FE及びトラッキングエラー検出信号TEを取り込み、これをもとにサーボ制御情報を生成する。これらのサーボ制御情報をもとに、所定のサーボ制御処理を行い、これをもとに、D/A変換回路によりアクチュエータによるピックアップのフォーカス及びトラッキング制御が実現される。

【0038】信号処理部11のサーボ制御回路114は、さらに、トラッキング制御の低周波成分を抽出した後、対応するD/A変換回路を介してピックアップのスレッドモータを制御するとともに、パルス検出回路によりスピンドルモータの回転速度を識別し、所定の回転速

度となるようにサーボ制御を行う。

【0039】DVD信号処理LSI 1の信号処理部11のデータストロブ回路111は、DVD-ROMからピックアップを介して出力されリードチャネルにより増幅された読み出し信号をデジタル信号にデジタル化するとともに、これらのデジタル信号からデータ及びクロック信号を抽出する。また、復調回路112は、データストロブ回路111によって得られた16ビット単位の読み出しデータに8-16復調処理を施し、例えばテーブル変換を用いて8ビットつまりバイト単位の読み出しデータに変換した後、バッファメモリコントローラ12を介してバッファメモリ3に蓄積・格納する。復調回路112は、さらに、デインターリーブ、シンクの検出機能をあわせ持つ。また、CD-ROM再生用に、図示されないCDオーディオ信号の復号機能と、CD-ROMのシンク検出機能、デスクランブル機能ならびにヘッダ検出機能とをあわせ持つ。

【0040】一方、DVD信号処理LSI 1の信号処理部11の誤り訂正回路113は、バッファメモリ3に1ブロック、つまり例えば182×208バイトの読み出しデータが蓄積された時点で起動される。そして、これらの読み出しデータに所定の誤り訂正処理を施した後、さらにCRC（サイクリック・リダナンシ・チェック）符号によるチェックを施す。誤り訂正回路113による誤り訂正処理は、特に制限されないが、シンドローム計算、誤りの有無判定、ユークリッド互除法、チェーンサーチ、誤り数値計算ならびに訂正の手順で進められる。

【0041】このうち、シンドローム計算は、周知のように、一連の入力データをバッファメモリ3から読み出し、シンドローム多項式の係数を算出することによって行われる。このとき、シンドローム多項式の係数がすべてゼロとなった場合、入力データには誤りがないものと判定される。また、入力データに誤りがあった場合、最初にユークリッド互除法により、シンドローム多項式から誤り位置多項式と誤り数値多項式を算出し、続いて誤り位置多項式の根をチェーンサーチにより求めることで誤り位置が判定され、入力データが正常値に訂正される。

【0042】次に、DVD信号処理LSI 1のバッファメモリコントローラ12は、バッファメモリ3に対するアクセス要求を整理・統轄し、そのバス制御を行う。すなわち、バッファメモリコントローラ12は、所定のタイミングで信号処理部11の復調回路112からの入力要求を受け付け、復調された読み出しデータをバッファメモリ3に転送する。そして、バッファメモリ3に前記所定値の読み出しデータが蓄積されたことを検出して、誤り訂正回路113を起動するとともに、この誤り訂正回路113による一連の誤り訂正処理が終了した時点で、デコード完了割り込みを発生して、マイクロコント

ローラ2に通知する。

【0043】マイクロコントローラ2は、バッファメモリコントローラ12の割り込みを受けて、ホストインタフェース部13のタスクファイルレジスタ131に出力ステータスを、制御回路に出力コマンドを書き込み、これを受けてホストインタフェース部13の制御回路133からバッファメモリコントローラ12に対して読み出しデータの出力要求が行われる。バッファメモリコントローラ12は、バッファメモリ3の指定されたアドレスから指定量のデータを読み出し、ホストインタフェース部13のデータFIFO134を介してホストバスつまりホストコンピュータに出力する。

【0044】なお、バッファメモリコントローラ12は、バッファメモリ3に対する各入力要求及び出力要求に対応して、アドレスポインタを備える。これらのアドレスポインタは、そのアドレスがマイクロコントローラ2のアドレス空間上に配置された内部IOレジスタとされ、マイクロコントローラ2により初期設定される。データFIFO134は、ホストインタフェースにおいて適正なデータスループットが得られるべく、所定の容量を持つものとされる。

【0045】DVD信号処理LSI1のホストインタフェース部13は、ホストコンピュータとの間で、コマンドの入力処理やステータスの出力処理ならびにデータの入出力処理を行う。上記のように、バッファメモリ3とホストコンピュータとの間のデータ転送処理は、データFIFO134を介して行われる。

【0046】ところで、DVD信号処理LSI1のホストインタフェース部13は、前述のように、パケットコマンドレジスタ部135を含む。また、ホストインタフェース部13及びホストコンピュータ間の信号形式は、ATAPI形式とされ、ホストコンピュータからDVD-ROMドライブに発行されるホストコマンド（第2のコマンド）は、DVD信号処理LSI1のホストインタフェース部13のタスクファイルレジスタ131に書き込まれる。このとき、ホストコマンドが例えばパケットコマンド入力のためのコマンド『A0』とされる場合、先頭アドレスや転送データ長を含む12バイトのパケットコマンド（第1のコマンド）が引き続いて入力されるが、これらのコマンドは、データFIFO134に書き込まれず、パケットコマンドレジスタ部135に書き込まれる。

【0047】この実施例において、ホストインタフェース部13のパケットコマンドレジスタ部135は、その全アドレスがマイクロコントローラ2のアドレス空間上に配置され、マイクロコントローラ2によるランダムアクセスが可能とされる。このため、マイクロコントローラ2は、パケットコマンドレジスタ部を備えない従来のDVD信号処理LSI1に比較して、ホストコンピュータから入力されるパケットコマンドを、FIFOを介す

ることなく高速に、しかも必要なバイト数だけ任意に読み出すことが可能となり、相応してマイクロコントローラ2の処理能力が高められるが、このことについては後で詳細に説明する。

【0048】図3には、図2のDVD信号処理LSI1のホストインタフェース部13の一実施例の部分的なブロック図が示され、図4には、その内部IOレジスタの一実施例のアドレスマップが示されている。両図をもとに、この実施例のDVD信号処理LSI1のホストインタフェース部13のやや具体的な構成及び動作と、タスクファイルレジスタ131及びパケットコマンドレジスタ部135を含む内部IOレジスタのアドレス構成及びビット構成等について説明する。

【0049】なお、図4では、タスクファイルレジスタ131、制御レジスタ132ならびにパケットコマンドレジスタ部135と、これまで制御レジスタ132の一部としてきた割込みレジスタとが、内部IOレジスタとして一体化して示される。また、内部IOレジスタの各レジスタにおいて、ソフトウェアによりその内容が定義されるビットが『#』で示され、ハードウェアとしても存在しないビットが『0』で示される。各レジスタを択一的に指定するための6ビットのアドレスは、上位2ビットと下位4ビットを単位として16進表示され、その末尾には16進表示であることを示す『h』が付される。以下の記述では、この『h』が16進数の前に付される場合もある。

【0050】図3において、ホストインタフェース部13は、前述のように、データFIFO134及びパケットコマンドレジスタ部135を含み、さらに、タスクファイルレジスタ131に書き込まれたコマンドをデコードするコマンド解析回路136と、FIFO制御回路138、セクタ137ならびにラッチ回路139とを含む。このうち、データFIFO134の左側の入出力端子は、バッファメモリコントローラを介してバッファメモリに結合され、その右側の入出力端子は、ラッチ回路139を介してホストバスつまりホストコンピュータに結合される。また、パケットコマンドレジスタ部135の左側の入出力端子は、マイコンインタフェース部に結合され、その右側の入出力端子は、ラッチ回路139を介してホストバスつまりホストコンピュータに結合される。ラッチ回路139は、ホストバスとのタイミング整合を図る。

【0051】一方、ホストインタフェース部13のセクタ137には、データFIFO134から入力完了信号`end in`及び出力完了信号`end out`が供給され、パケットコマンドレジスタ部135から入力完了信号`end in`が供給される。また、データFIFO134には、セクタ137から入力制御信号`str bin`及び出力制御信号`str bout`が供給され、パケットコマンドレジスタ部135には、入力制御信号`str b`

inが供給される。セクタ137は、その左方においてFIFO制御回路138に結合される。また、FIFO制御回路138及びセクタ137には、コマンド解析回路136から所定の起動制御信号及び選択制御信号がそれぞれ供給される。FIFO制御回路138には、さらに、マイクロコントローラによるデータ転送起動信号が供給される。

【0052】ここで、タスクファイルレジスタ131は、図4に示されるように、そのアドレスを00h~0Bhとする12個の内部IOレジスタからなり、コマンド格納用のレジスタATCMDと、ステータス格納用のレジスタATSTA0及びATSTA1と、エラー格納用のレジスタATERRとを含む。また、制御レジスタ132は、そのアドレスを14h~17hならびに21hとする5個の内部IOレジスタからなり、そのライトによってデータ転送が開始されるレジスタHSRと、転送すべきデータのブロック数を示すレジスタHBCと、ブロックサイズを示すレジスタHPSSH及びHPSSLと、ホストインタフェース制御用のホスト制御レジスタHECとを含む。このホスト制御レジスタHECは、本発明により追加されたりセットフラグHPCRST及びセレクトフラグSELを含むが、その作用等については後で詳細に説明する。

【0053】一方、パケットコマンドレジスタ部135は、そのアドレスを24h~2Fhとする12個の内部IOレジスタ、つまりパケットコマンドレジスタHPCD0~HPCDBを含み、割込みレジスタは、そのアドレスを3Ah~3Dhとする4個の内部IOレジスタを含む。このうち、割込み要因レジスタHAINTは、データFIFO134の入出力完了時にセットされるFIFO割込みフラグFIFOENDと、パケットコマンド入力完了時にセットされるパケットコマンド割込みフラグPKTENDを含み、割込みマスクレジスタHAMSKは、割込みフラグFIFOEND及びPKTENDに対応する割込みマスクフラグMFIFOEND及びMPKTENDを含む。

【0054】この実施例において、パケットコマンドレジスタHPCD0~HPCDBを含む内部IOレジスタのアドレスは、そのすべてがマイクロコントローラ2のアドレス空間上に配置され、マイクロコントローラ2は、任意のアドレスを指定しつつ内部IOレジスタをランダムアクセスすることが可能とされる。

【0055】図3に戻ろう。ホストインタフェース部13のコマンド解析回路136は、タスクファイルレジスタ131のコマンドレジスタATCMDに格納された所定のコマンドをデコードし、対応する動作を選択的に実行する。このとき、実行すべきコマンドが後述のホスト『A0』以外であることを識別したコマンド解析回路136は、セクタ137に選択制御信号を出力する。マイクロコントローラ2によるHSRレジスタライトに従

って起動制御信号を入力すると、データ転送が起動される。ホストストローブに従って、FIFO制御回路138は制御信号を出力し、セクタ137を介してデータFIFO134に対して入力制御信号strbinを出力する。

【0056】これにより、データFIFO134は、ホストコンピュータからラッチ回路139を介して入力される入力データを順次取り込み、バッファメモリコントローラ12を介してバッファメモリ3に出力する。そして、制御レジスタ132のレジスタHBCならびにHPSSH及びHPSSLに指定されたブロックサイズ及びブロック数のデータの入力がすべて終了した時点で、セクタ137に対して入力完了信号endinを出力する。この入力完了信号endinは、セクタ137からFIFO制御回路138に伝達される。

【0057】FIFO制御回路138は、データFIFO134の入力完了信号endinを受けて割込み要因レジスタHAINTのFIFO割込みフラグFIFOENDをセットし、マイクロコントローラ2に対して割り込みをかける。マイクロコントローラ2は、割込みマスクレジスタHAMSKの対応する割込みマスクフラグMFIFOENDがセット状態にないことを条件に、FIFO割込みフラグFIFOENDを受理し、データの入力処理を終了する。

【0058】一方、実行すべきコマンドがデータの出力に関するコマンドである場合、コマンド解析回路136は、セクタ137に対して選択制御信号を出力し、マイクロコントローラ2によるHSRレジスタライトに従って、起動制御信号を入力すると、データ転送が起動される。予めバッファメモリ3の指定アドレスに格納されている出力データをバッファメモリコントローラ12を介して取り込み、ホストストローブに従ってFIFO制御回路138は制御信号を出力し、セクタ137は、データFIFO134に出力制御信号strboutを出力する。

【0059】これにより、データFIFO134は、データをラッチ回路139を介してホストバスつまりホストコンピュータに出力する。そして、制御レジスタ132のレジスタHBCならびにHPSSH及びHPSSLに指定されたブロックサイズ及びブロック数のデータの出力がすべて終了した時点で、セクタ137からFIFO制御回路138に対して出力完了信号endoutを出力する。

【0060】FIFO制御回路138は、データFIFO134の出力完了信号endoutを受けてやはり割込み要因レジスタHAINTのFIFO割込みフラグFIFOENDをセットし、マイクロコントローラ2に対して割り込みをかける。マイクロコントローラ2は、割込みマスクレジスタHAMSKの対応する割込みマスクフラグMFIFOENDがセット状態にないことを条件

10

20

30

40

50

に、FIFO割込みフラグFIFOENDを受理し、データの出力処理を終了する。

【0061】次に、実行すべきコマンドがその直後に12バイトのパケットコマンドが引き続いて入力されるホストコマンド『A0』であることを識別した場合、コマンド解析回路136は、FIFO制御回路138及びセレクトラ137に起動信号及び選択信号をそれぞれ出力し、セレクトラ137は、パケットコマンドレジスタ部135に対して入力ストローブ信号strbinを出力する。この場合は、マイクロコントローラ2によらず、コマンド解析回路によって起動される。

【0062】これにより、パケットコマンドレジスタ部135は、ホストコンピュータからホストバス及びラッチ回路139を介して2バイト単位で入力されるパケットコマンドを、バイト単位で前記12個のパケットコマンドレジスタHPCD0~HPCDBに順次書き込む。このとき、ブロックサイズは6ワードに設定され、ブロック数は1に設定される。12バイトのパケットコマンドの入力が終了すると、パケットコマンドレジスタ部135は、セレクトラ137に対して入力完了信号endinを出力し、コマンド入力が終了したことを知らせる。

【0063】FIFO制御回路138は、パケットコマンドレジスタ部135の入力完了信号endinを受けて割込み要因レジスタHAINTのパケットコマンド割込みフラグPKTENDをセットし、マイクロコントローラ2に割り込みをかける。また、マイクロコントローラ2は、割込みマスクレジスタHAMSKの割込みマスクフラグMPKTENDがセット状態にないことを条件にパケットコマンド割込みフラグPKTENDを受理し、パケットコマンドの読み出しを開始する。

【0064】図4に示したように、パケットコマンドレジスタHPCD0~HPCDBは、内部IOレジスタの連続するアドレス24h~2Fhに配置される。また、これらのアドレスは、前述のように、そのすべてがマイクロコントローラ2のアドレス空間上に配置され、マイクロコントローラ2は、任意のアドレスを指定しつつパケットコマンドレジスタHPCD0~HPCDBのランダムアクセスを可能とする。さらに、マイクロコントローラ2に用意された命令の中には、例えば連続する二つのアドレスを同時にアクセスしうるワードサイズの転送命令つまりMOV.Wと、連続する四つのアドレスを同時にアクセスしうるロングワードサイズの転送命令つまりMOV.Lとが含まれる。したがって、マイクロコントローラ2は、実行すべきコマンドの種別に応じて、前記MOV.Bを含む転送命令を選択的に組み合わせる用いることにより、パケットコマンドの必要なバイトのみを選択的にかつ効率良く読み出すことが可能となる。

【0065】すなわち、例えばパケットコマンドレジスタHPCD0~HPCDBに入力された12バイトのパケットコマンドをすべて読み出す場合、マイクロコント

ローラ2は、例えば、

```
MOV. L      @HPCD0, ER0
MOV. L      @HPCD4, ER1
MOV. L      @HPCD8, ER2
```

のように、三つのロングワードサイズのリード命令を使って12バイトのパケットコマンドを効率良く読み出し、処理することができる。

【0066】また、

```
MOV. B      @HPCD0, ROL
```

のように、パケットコマンドの第0バイトに含まれるオペレーションコードをリードして判定した後、例えばマイクロコントローラ2として実行すべきコマンドがリードコマンド『10』である場合、パケットコマンドの第2ないし第5バイトで開始アドレスが、また、第6ないし第9バイトとして転送データ長が指定されるため、例えば、

```
MOV. L      @HPCD2, ER1
MOV. L      @HPCD6, ER2
```

のように、ロングワードサイズのリード命令で必要な4バイトのパケットコマンドのみを効率良く読み出すことができる。このコマンドでは、第1、第10、第11バイトは使用されないで、リードする必要はない。

【0067】さらに、例えばマイクロコントローラ2として実行すべきコマンドがリードコマンド『12』である場合、パルス検出回路の第7及び第8バイトで転送データ長が指定されるため、例えば、

```
MOV. W      @HPCD7, ER4
```

のように、一つのワードサイズのリード命令で必要な2バイトのパケットコマンドのみを効率良く読み出すことができる。このコマンドでは、第1、第6、第9ないし第11バイトは使用されないで、リードする必要はない。

【0068】なお、ロングワードサイズの命令が4の倍数番地から始まるものとして限定されるマイクロコントローラでは、パケットコマンドの第2バイトが4の倍数番地となるように配置すれば効率的な処理が可能となる。

【0069】以上のように、この実施例のDVD-ROMドライブでは、FIFO形態のレジスタつまりデータFIFO134とは別個に、ホストコンピュータから入力されるパケットコマンドを格納するためのパケットコマンドレジスタ部135が設けられるとともに、該パケットコマンドレジスタ部135のアドレスは、そのすべてがマイクロコントローラ2のアドレス空間上に配置され、マイクロコントローラ2によるランダムアクセスが可能とされる。この結果、マイクロコントローラ2は、パケットコマンドレジスタ部135に格納されたパケットコマンドを、全部を読み出す必要がないから、必要な分だけ効率良く読み出すことができ、しかも内蔵RAMに退避させる必要がないため、マイクロコントローラ2

の中央処理ユニットに対する処理負担を軽減し、その処理能力を高めることができるものである。

【0070】図5には、図3のホストインタフェース部13に含まれるパケットコマンドレジスタ部135の一実施例のブロック図が示されている。また、図6には、図5のパケットコマンドレジスタ部135の論理構成を説明するための一実施例の論理記述図が示され、図7には、その動作を説明するための一実施例の動作タイミング図が示されている。これらの図をもとに、この実施例のDVD-ROMドライブ、つまりそのDVD信号処理LSI1に含まれるパケットコマンドレジスタ部135の具体的構成及び動作ならびにその特徴について説明する。

【0071】なお、図6の論理記述は、パケットコマンドレジスタ部135の論理構成を定義するものであって、IEEE（アイ・イー・イー・イー）で規定されるHDL（ハードウェア・ディスクリプション・ランゲージ）又はRTL（レジスタ・トランスファ・レベル）に従って記述される。また、図7では、タイミングT1としてホストコンピュータによるリセット動作が、タイミングT2、T30～T3BならびにT4としてホストコマンド『A0』の受信動作とこれに続くパケットコマンドの受信動作が、タイミングT5としてマイクロコントローラによるリセット動作がそれぞれ示される。図7のパケットコマンドの受信動作時、ホスト制御レジスタHECのセレクトフラグSELは論理“0”とされる。

【0072】まず、図5において、この実施例のパケットコマンドレジスタ部135は、前記内部IOレジスタHPCD0～HPCDBとして設けられる12バイトのパケットコマンドレジスタ1351をその基本構成要素とする。パケットコマンドレジスタ1351の右側つまり入力側には、入力セクタ1352が設けられ、その左側つまり出力側には、出力セクタ1353が設けられる。このうち、入力セクタ1352には、ホストインタフェース部13の前記ラッチ回路139から16ビットのホスト書き込みデータhinda_taが入力される。また、アドレスインレジスタ1356（addr_{in}）から4ビットのアドレス信号が供給されるとともに、アンド（AND）ゲートAG3の出力信号たる内部制御信号hwseが供給され、図示されないホスト制御レジスタHECのセレクトフラグSELつまり内部制御信号selが供給される。

【0073】入力セクタ1352の出力信号は、8ビットずつ2バイトに分割された後、パケットコマンドレジスタ1351に入力される。このパケットコマンドレジスタ1351には、さらに、リセット回路1355

（rst）からその出力信号たる内部リセット信号mrst_bが供給される。また、パケットコマンドレジスタ1351を構成する12個の内部IOレジスタHPCD0～HPCDBの出力信号は、8ビット単位で出力セ

クタ1353に供給される。

【0074】出力セクタ1353には、マイコンインタフェース部14から読み出しイネーブル信号readが供給され、図示されない出力アドレスレジスタからその出力信号たる4ビットの出力アドレス信号addr_{out}が供給される。出力セクタ1353の8ビットの出力信号は、内部データバスmout_dを介してマイクロコントローラ2に供給される。

【0075】その出力信号が内部制御信号hwseとなるアンドゲートAG3の一方の入力端子には、ホストインタフェース部13の図示されない制御回路133からホスト書き込み信号hwriteのエッジ検出信号hwr_{neg}が供給され、その他方の入力端子には、ステータスレジスタ1358（state）からその出力信号たる内部制御信号stateが供給される。ステータスレジスタ1358には、エッジ検出回路1359（EDG）からパケットコマンド受信信号packetのエッジ検出信号packet_{edg}が供給され、アンドゲートAG1からその出力信号たる内部制御信号load₀が供給される。エッジ検出回路1359には、さらに内部リセット信号mrst_bが供給される。

【0076】アンドゲートAG1の第1の入力端子には、上記エッジ検出信号hwr_{neg}が供給される。また、その第2の入力端子には、上記ステータスレジスタ1358から内部制御信号stateが供給され、その第3の入力端子には、デコーダ1354の4'5hを検出した出力信号h5が供給される。デコーダ1354には、入力アドレスレジスタ1356から入力アドレス信号addr_{in}が供給される。このデコーダ1354の出力信号h5は、ポインタたる入力アドレスレジスタ1356の出力信号つまり入力アドレス信号addr_{in}の計数値が4ビットの16進“5”となったとき、選択的にハイレベルとされる。

【0077】入力アドレスレジスタ1356の出力信号たる4ビットの入力アドレス信号addr_{in}は、+1回路1357を介して入力アドレスレジスタ1356の対応するビットに供給される。入力アドレスレジスタ1356には、さらに、リセットレジスタ1355から内部リセット信号mrst_bが供給されるとともに、アンドゲートAG1の出力信号たる内部制御信号load₀及び内部制御信号stateが供給される。

【0078】出力セクタ1353は、リードイネーブル信号readならびに出力アドレス信号addr_{out}を含む5ビットが16進“10”であることを条件に、言い換えるならばリードイネーブル信号readが論理“1”つまりハイレベルとされかつ出力アドレス信号addr_{out}が全ビット論理“0”であることを条件に、パケットコマンドレジスタHPCD0（pkt_{reg0}）の保持内容を内部データバスmout_dに出力し、上記5ビットが16進“11”ないし“1B”

であることを条件に、すなわちリードイネーブル信号 r_ead が論理“1”とされかつ出力アドレス信号 add_r_out が対応する論理値とされることを条件に、パケットコマンドレジスタ $HPCD1$ (pkt_reg1) ないし $HPCDB$ (pkt_regB) の保持内容を内部データバス $moutd$ にそれぞれ出力する。

【0079】次に、パケットコマンドレジスタ部135のリセット回路1355 (r_st) の出力信号たる内部リセット信号 mr_stb は、図6の第2行に示されるように、ホストインタフェース部13の制御回路133から供給される内部リセット信号 r_stb がロウレベルとされることを条件に、あるいは図示されない内部制御信号 $atms$ が論理“1”つまりハイレベルとされ、内部IOレジスタに対する6ビットのアドレスつまり第0ないし第5ビットのレジスタアドレス信号 $atmad$

[5:0] が16進“21”とされ、内部データバスの第7ビット $d[7]$ が論理“1”とされ、かつライトイネーブル信号 w_rite がハイレベルとされることを条件に、言い換えるならばアドレス21hの内部IOレジスタつまりホスト制御レジスタHECの第7ビットたるリセットフラグ $HPCRST$ がセットされることを条件に、選択的に論理“1”とされ、これを受けてパケットコマンドレジスタ部135の各部が初期化される。

【0080】パケットコマンドレジスタ1351は、さらに、内部クロック信号 clk の立ち上がりエッジ又は内部リセット信号 mr_stb の立ち下がりエッジを受けて同期動作し、入力セクタ1352とともに次の処理を行う。すなわち、まず内部リセット信号 mr_stb がロウレベルとされる場合、図6の第25行ないし第38行に示されるように、パケットコマンドレジスタ1351の12個のレジスタ $HPCD0 \sim HPCDB$ つまり $pkt_reg0 \sim$ に8ビットの16進“00”つまり全ビット論理“0”を書き込み、初期化する。

【0081】このように、マイクロコントローラ2によってホスト制御レジスタHECのリセットフラグ $HPCRST$ をセットしうる構成とし、これを受けてパケットコマンドレジスタ1351の各部ならびにその保持内容を初期化しうる構成とすることで、例えば何らかの原因によりパケットコマンドの入力動作が中断した場合でも、DVD-ROMドライブ全体をリセットすることなく、マイクロコントローラ2によってパケットコマンドレジスタの必要部分のみを選択的に初期状態に戻し、パケットコマンドの再送処理を行うことができる。

【0082】なお、上記内部リセット信号 r_stb のロウレベルを受けて入力アドレスラッチ $addr_in$ 、パケットコマンドレジスタ $pkt_reg0 \sim pkt_regB$ ならびに出力アドレスレジスタ $addr_out$ が初期化されるときの様子が、図7にタイミングT1として例示される。また、これらのレジスタがホスト制御レジスタHECのリセットフラグ $HPCRST$ を受け

て初期化されるときの様子が、図7にタイミングT5として例示される。

【0083】一方、ステータスレジスタ1358の出力信号たる内部制御信号 $state$ とホスト書き込み信号 hw_write のエッジ検出信号 hwr_neg がともに論理“1”とされる場合、パケットコマンドレジスタ1351は、図6の第39行ないし第46行に示されるように、ホスト制御レジスタHECのセレクトフラグ SEL つまり内部制御信号 sel と入力アドレス信号 $addr_in$ を含む5ビットが16進“00”であることを条件に、すなわち内部制御信号 sel が論理“0”とされかつ入力アドレス信号 $addr_in$ が全ビット論理“0”であることを条件に、ホストコンピュータからホストバスを介して入力される16ビットつまり2バイトのホスト書き込みデータ $hindata$ を連続する二つのアドレスに配置された2個のパケットコマンドレジスタ $HPCD0$ 及び $HPCD1$ (pkt_reg0 及び pkt_reg1) に書き込む。

【0084】また、上記5ビットが16進“01”ないし“05”とされる場合、図6の第47行ないし第53行に示されるように、ホストバスを介して入力されるそれぞれ2バイトのホスト書き込みデータ $hindata$ を、連続する二つのアドレスに配置された2個のパケットコマンドレジスタ $HPCD2$ 及び $HPCD3$ (pkt_reg2 及び pkt_reg3) ないし $HPCDA$ 及び $HPCDB$ (pkt_regA 及び pkt_regB) にそれぞれ順次書き込む。

【0085】さらに、内部制御信号 sel と入力アドレス信号 $addr_in$ を含む5ビットが16進“10”である場合、すなわち内部制御信号 sel が論理“1”とされかつ入力アドレス信号 $addr_in$ が全ビット論理“0”である場合、ホストバスを介して入力される16ビットつまり2バイトのホスト書き込みデータ $hindata$ をパケットコマンドレジスタ $HPCD1$ 及び $HPCD0$ (pkt_reg1 及び pkt_reg0) に逆順で書き込み、16進“11”ないし“15”とされる場合は、パケットコマンドレジスタ $HPCD3$ 及び $HPCD2$ (pkt_reg3 及び pkt_reg2) ないし $HPCDB$ 及び $HPCDA$ (pkt_regB 及び pkt_regA) にそれぞれ逆順で書き込む。

【0086】なお、パケットコマンドレジスタ1351の書き込み条件となる内部制御信号 $state$ は、ホストコマンド『A0』が入力されたことを受けて選択的に論理“1”とされるパケットコマンド受信信号 $packet$ に従って選択的に論理“1”とされるが、このパケットコマンド受信信号 $packet$ は、図6の第55行ないし第57行に示されるように、内部クロック信号 clk の立ち上がりエッジを受けて内部ラッチ $packet_reg$ に取り込まれる。この内部レジスタ $packet_12_reg$ は、前記内部リセット信号 mr_st

10

20

30

40

50

bの立ち下がリエッジを受けてリセットされる。

【0087】パケットコマンド受信信号packetは、さらに、図6の第59行に示されるように、内部レジスタpacket_regの出力信号の反転信号との論理積がとられ、これによってそのエッジ検出信号packet_edgが生成される。ステータスレジスタ1358は、図6の第61行ないし第65行に示されるように、このパケットコマンド受信信号packetのエッジ検出信号packet_edgを受けてセット状態とされ、これを受けて内部制御信号stateが論理

“1”とされる。また、ステータスレジスタ1358は、エッジ検出信号hwr_negが論理“1”とされ、かつ入力アドレスレジスタ1356の出力たる入力アドレス信号addr_inが16進“5”つまりその最終値となったことを受けてリセットされ、あるいは内部リセット信号mrstbの立ち下がリエッジを受けてリセットされる。

【0088】一方、入力アドレスラッチ1356つまりその出力たる入力アドレス信号addr_inは、図6の第67行ないし第71行に示されるように、内部制御信号stateが論理“1”とされ、かつホスト書き込み信号hwriteのエッジ検出信号hwr_negが論理“1”とされるたびに+1回路1357により内部クロック信号clkの立ち上がりエッジに同期してカウントアップされる。また、その計数値が16進“5”になると16進“0”にリセットとされ、内部リセット信号mrstbが論理“1”とされる場合もリセットとされる。

【0089】これにより、内部制御信号stateは、ホストコマンド『A0』が受信されパケットコマンド受信信号packetが論理“1”とされてから、入力アドレスレジスタ1356の計数値が16進“5”となるまでの間、すなわちホストコンピュータから2バイトずつ入力される合計12バイトのパケットコマンドのパケットコマンドレジスタ1351に対する書き込みが終了するまでの間、論理“1”とされる。また、この間に行われるパケットコマンドレジスタ1351へのパケットコマンドの書き込みは、ホスト制御レジスタHECのセレクトフラグSELつまり内部制御信号selに従って、2バイト単位で入力されるパケットコマンドの各バイトと、これを書き込むべきパケットコマンドレジスタ1351の連続する二つのアドレスとの対応が選択的に切り換えられる。

【0090】以上の結果、主制御装置として用いられるマイクロコントローラの上記アドレス対応が異なる場合でも、セレクトフラグSELによってこれを使用可能とし、マイクロコントローラに対する汎用性を確保することができる。

【0091】なお、ホストコマンド『A0』の受信、つまりパケットコマンド受信信号packetの論理

“1”を受けて内部制御信号stateが論理“1”とされるときの様子が、図7のタイミングT2に例示される。また、セレクトフラグSELつまり内部制御信号selを論理“0”とする場合のパケットコマンドレジスタ1351に対するホスト書き込みデータhindataの書き込み動作時の様子が、図7のタイミングT30～T3Bに例示される。

【0092】図7のタイミングT4に例示されるように、パケットコマンドレジスタ1351は、入力アドレス信号addr_inの計数値が16進“5”となってパケットコマンドの書き込みが終了し、入力アドレスレジスタ1356及びステータスレジスタ1358等がリセットとされた時点で、割込み要因レジスタHAINTのパケットコマンド割込みフラグPKTENDをセットし、コマンドの受信終了をマイクロコントローラ2に知らせる。マイクロコントローラ2は、これを受けてパケットコマンドレジスタ1351からパケットコマンドの必要部分を任意の順序で読み出し、コマンド実行のための処理に移行する。

【0093】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 例えばDVD-ROMドライブに含まれ、DVD-ROMから出力される読み出し信号の処理やモータドライバ及びピックアップのサーボ制御等に供されるDVD信号処理LSI等において、ホストコンピュータとの間のデータ転送用のデータFIFOとは別個に、パケットコマンドを格納する専用のパケットコマンドレジスタを設け、その全アドレスを、DVD-ROMドライブの主制御装置たるマイクロコントローラのアドレス空間上に配置するとともに、DVD信号処理LSIのホストインタフェース部の制御回路に、ホストコンピュータからのホストコマンドを解読し、後続するパケットコマンドを選択的にパケットコマンドレジスタに書き込む機能を持たせることで、マイクロコントローラによるパケットコマンドレジスタのランダムアクセスを可能にして、ホストコンピュータから入力されるパケットコマンドを、FIFO形態のレジスタを介することなく、マイクロコントローラに高速転送できるという効果が得られる。

【0094】(2) 上記(1)項により、マイクロコントローラによる無駄なパケットコマンドの読み出しをなくし、マイクロコントローラの中央処理ユニットの処理負担を軽減して、その処理能力を高めることができるという効果が得られる。パケットコマンドの解析を高速化でき、DVD-ROMドライブのアクセス時間の短縮に寄与できる。

【0095】(3) 上記(1)項及び(2)項において、DVD信号処理LSIのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なりセットフラグを設け、マイクロコントローラに、ホストインタフェース部のパケットコマンドレジスタ及び

10

20

30

40

50

そのポインタを含む周辺部をリセットしうる機能を持たせることで、例えば何らかの原因により一連のパケットコマンドの入力動作が中断した場合でも、パケットコマンドレジスタの保持内容をクリアし、そのポインタを含む周辺部のみをリセットできるため、全体をリセットすることなく、パケットコマンドの再送処理等を行うことができるという効果が得られる。

【0096】(4) 上記(1)項ないし(3)項において、DVD信号処理LSIのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なセレクトフラグを設け、ホストインタフェース部の制御回路に、ホストコンピュータから2バイト単位で入力されるパケットコマンドの各バイトと、該パケットコマンドがバイト単位で格納されるパケットコマンドレジスタの連続する二つのアドレスとの間の対応をセレクトフラグに従って選択的に切り換えうる機能を持たせることで、マイクロコントローラの種類に関係なく、パケットコマンドレジスタへのコマンド格納処理を汎用化できるという効果が得られる。

【0097】(5) データ用FIFOとパケットコマンドレジスタの制御回路やラッチ回路を共通にして、論理規模の増加を抑止できる。

(6) 上記(1)項ないし(5)項により、DVD信号処理LSI等の機能性を高めて、DVD信号処理LSIを含むDVD-ROMドライブ等のスループットを高め、DVD-ROMドライブを含むコンピュータシステム等のマシンサイクルを高速化することができるという効果が得られる。

【0098】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、DVD-ROMドライブは、CD-ROMをも駆動できることは、規格に定められている通りである。書き換え可能なRAMディスクを駆動できるようにしてもよい。記憶媒体としては、ディスク形態を光学的に読み取るものに限定されず、例えば、形態はカードやスティックなど、読み取りは磁気的や電気的なものであってもよい。例えば、半導体記憶装置などであってもよい。また、半導体集積回路装置の微細化が進んだ段階では、DVD信号処理LSI1及びバッファメモリ3等をマイクロコントローラ2と同一の半導体基板面上に形成してもよい。DVD-ROMドライブの電子回路ブロックのブロック構成や機構部の構成ならびにバス構成等は、種々考えられよう。

【0099】図2において、DVD信号処理LSI1のブロック構成やバス構成等は、この実施例による制約を受けない。また、ホストバスの信号形式は、ATAPI形式に限定されないし、パケットコマンドレジスタのバイト数も、適宜変更可能である。ATAPI形式のサブ

セットやスーパーセットを利用することもできる。信号処理部11の誤り訂正方式等も種々考えられよう。図3において、ホストインタフェース部13のブロック構成は、種々の実施形態をとりうる。図4において、ホストインタフェース部13に設けられる内部IOレジスタの分類、名称ならびにその具体的ビット構成等は、本実施例による制約を受けない。これらの図において、パケットコマンドのバイト数や各バスのビット幅等は、任意に設定できるし、各信号の有効レベルについても同様である。図5及び図6において、パケットコマンドレジスタ部135のブロック構成及びその論理記述(論理構成)は、種々の実施形態をとりうる。図7において、各信号の具体的なレベル及び時間関係は、本発明の主旨に何ら制約を与えない。

【0100】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるDVD-ROMドライブならびにそのDVD信号処理LSI1に適用した場合について説明したが、それに限定されるものではなく、例えば、CD-ROMドライブやDVD-RAMドライブならびにその他の各種入出力装置にも適用できる。媒体は光ディスクなどの記憶媒体に限定されず、通信媒体などとしてもできる。この発明は、少なくとも第1の処理装置から選択的に入出力されるパケット形態のコマンドを有し、かつ該コマンドの参照を必要とする第2の処理装置を備えるシステムならびにこのようなシステムに設けられインタフェース整合機能を有する半導体集積回路装置に広く適用できる。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものにより得られる効果を簡単に説明すれば、下記の通りである。すなわち、例えばDVD-ROMドライブに含まれ、DVD-ROMから出力される読み出し信号の処理やモータドライブ及びピックアップのサーボ制御等に供されるDVD信号処理LSI等において、ホストコンピュータとの間のデータ転送用のデータFIFOとは別個に、パケットコマンドを格納する専用のパケットコマンドレジスタを設け、その全アドレスを、DVD-ROMドライブの主制御装置たるマイクロコントローラのアドレス空間上に配置するとともに、DVD信号処理LSIのホストインタフェース部の制御回路に、ホストコンピュータからのホストコマンドを解読し、後続するパケットコマンドをパケットコマンドレジスタに書き込む機能を持たせる。

【0102】これにより、マイクロコントローラによるパケットコマンドレジスタのランダムアクセスを可能にして、ホストコンピュータから入力されるパケットコマンドを、FIFO形態のレジスタを介することなく、マイクロコントローラに高速転送することができるとともに、マイクロコントローラによる無駄なパケットコマンドの読み出しをなくし、マイクロコントローラの中央処

10

20

30

40

50

理ユニットの処理負担を軽減して、その処理能力を高めることができる。

【0103】上記DVD信号処理LSIにおいて、そのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なりセットフラグを設け、マイクロコントローラに、ホストインタフェース部のパケットコマンドレジスタ及びそのポインタを含む周辺部をリセットしうる機能を持たせる。

【0104】これにより、例えば何らかの原因によって一連のパケットコマンドの入力動作が中断した場合でも、DVD-ROMドライブ全体をリセットすることなく、パケットコマンドレジスタの保持内容をクリアし、そのポインタを含む周辺部のみをリセットして、再送処理を行うことができる。

【0105】上記DVD信号処理LSIにおいて、そのホストインタフェース部の制御レジスタに、マイクロコントローラにより設定可能なセレクトフラグを設け、ホストインタフェース部の制御回路に、ホストコンピュータから2バイト単位で入力されるパケットコマンドの各バイトと、これらのパケットコマンドがバイト単位で格納されるパケットコマンドレジスタの連続する二つのアドレスとの間の対応をセレクトフラグに従って選択的に切り換えうる機能を持たせる。

【0106】これにより、マイクロコントローラの種類に関係なく、パケットコマンドレジスタに対するパケットコマンドの格納処理を汎用化することができる。

【0107】以上の結果、DVD信号処理LSI等の機能性を高めて、これを含むDVD-ROMドライブ等のスループットを高め、DVD-ROMドライブを含むコンピュータシステム等を高速化することができる。

【図面の簡単な説明】

【図1】この発明が適用されたDVD信号処理LSIを含むDVD-ROMドライブの一実施例を示すブロック図である。

【図2】図1のDVD-ROMドライブに含まれるDVD信号処理LSIの一実施例を示すブロック図である。

【図3】図2のDVD信号処理LSIのホストインタフェース部の一実施例を示す部分的なブロック図である。

【図4】図3のホストインタフェース部に含まれる内部IOレジスタの一実施例を示すアドレスマップである。

【図5】図3のホストインタフェース部に含まれるパケットコマンドレジスタ部の一実施例を示すブロック図である。

【図6】図5のパケットコマンドレジスタ部の論理構成を説明するための一実施例を示す論理記述図である。

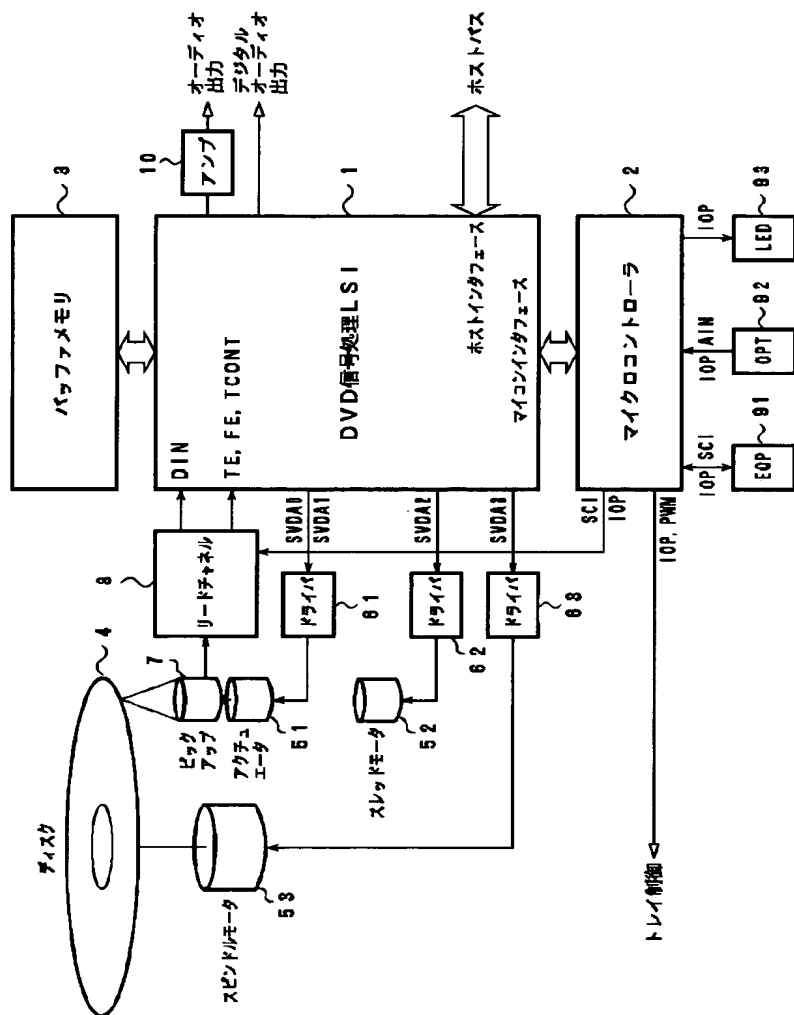
【図7】図5のパケットコマンドレジスタ部の動作を説明するための一実施例を示す動作タイミング図である。

【図8】この発明に先立って本願発明者等が検討したDVD-ROMドライブに含まれるDVD信号処理LSIの一例を示すブロック図である。

【符号の説明】

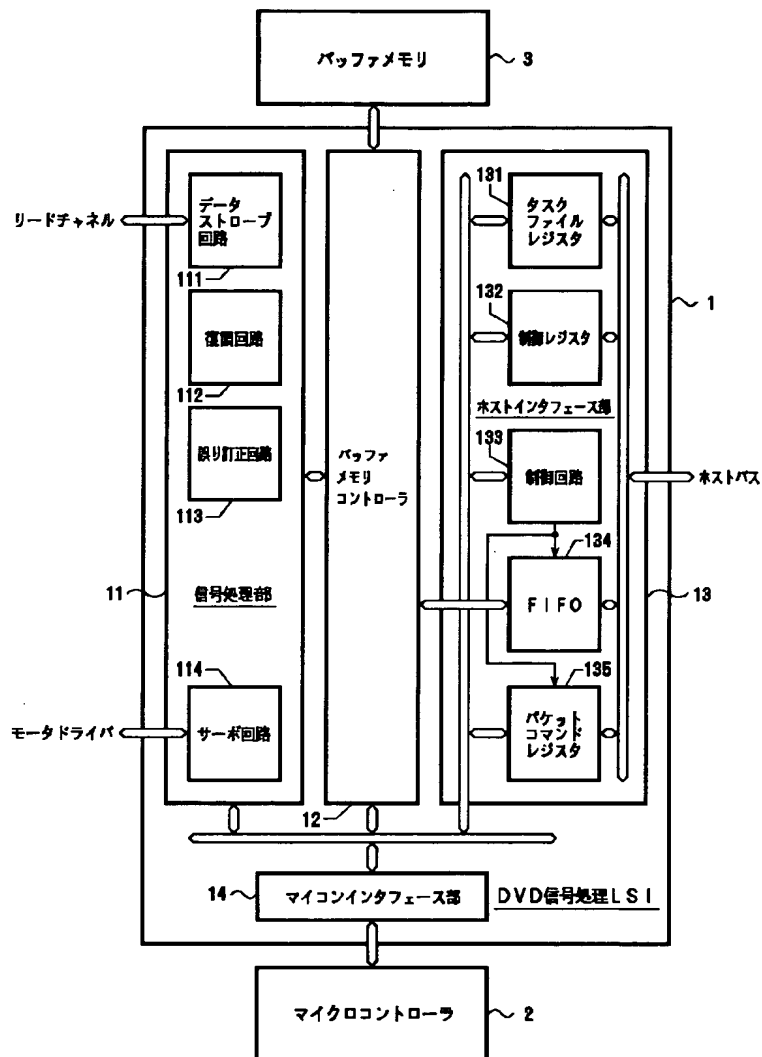
1…DVD信号処理LSI、2…マイクロコントローラ（マイコン）、3…バッファメモリ、4…DVD-ROMディスク、51…アクチュエータ、52…スレッドモータ、53…スピンドルモータ、61～63…モータドライバ、7…ピックアップ、8…リードチャネル、91…評価装置（EQP）、92…オプション選択装置（OPT）、93…表示装置（LED）、10…アンプ。11…信号処理部、111…データストローブ回路、112…復調回路、113…誤り訂正回路、114…サーボ制御回路、12…バッファメモリコントローラ、13…ホストインタフェース部、131…タスクファイルレジスタ、132…制御レジスタ、133…制御回路、134…データFIFO、135…パケットコマンドレジスタ部、14…マイコンインタフェース部。136…コマンド解析回路、137…セクタ、138…FIFO制御回路、139…ラッチ回路。1351…パケットコマンドレジスタ（HPCD0～HPCDB）、1352…入力セクタ、1353…出力セクタ、1354…デコード、1355…リセット回路（rst）、1356…入力アドレスラッチ又はその出力信号（addr_in）、1357…+1回路（+1）、1358…ステータスレジスタ（state）、1359…エッジ検出回路（EDG）、AG1、AG3…アンド（AND）ゲート、moutd…内部データバス。T1～T2、T30～T3B、T4～T5…タイミング、clk…内部クロック信号、rstb…内部リセット信号、packet…パケットコマンド受信信号、packet_reg…内部制御信号（パケットコマンド受信信号信号）、packet_edg…パケットコマンド受信信号のエッジ検出信号、hwrite…ホスト書き込み信号、hwr_reg…内部制御信号（ホスト書き込み信号信号）、hwr_neg…ホスト書き込み信号のエッジ検出信号、hindata…ホスト書き込みデータ、pkt_reg0～pkt_regB…パケットコマンドレジスタ、addr_out…出力アドレスレジスタ又はその出力信号、state、atms…内部制御信号、atmad…レジスタアドレス、read…読み出しイネーブル信号、write…書き込みイネーブル信号、FIFOEND…FIFO割込みフラグ、PKTEND…パケットコマンド割込みフラグ。1'…DVD信号処理LSI、2'…マイクロコントローラ、3'…バッファメモリ、11'…信号処理部、111'…データストローブ回路、112'…復調回路、113'…誤り訂正回路、114'…サーボ制御回路、12'…バッファメモリコントローラ、13'…ホストインタフェース部、131'…タスクファイルレジスタ、132'…制御レジスタ、133'…制御回路、134'…データ転送用データFIFO、135'…パケットコマンド入力用データFIFO、14'…マイコンインタフェース部。

図1 DVD-ROMドライブのブロック構成



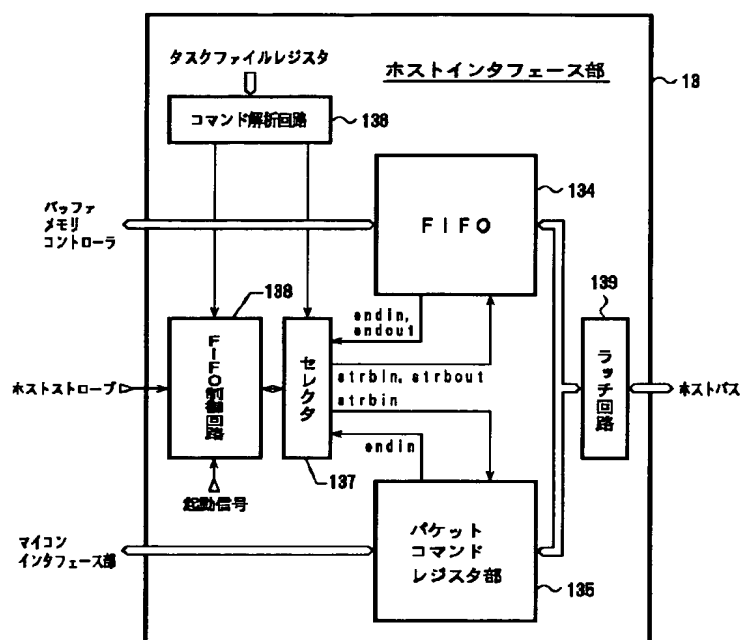
【図2】

図2 DVD信号処理LSIのブロック構成



【図3】

図3 ホストインタフェース部の部分ブロック構成



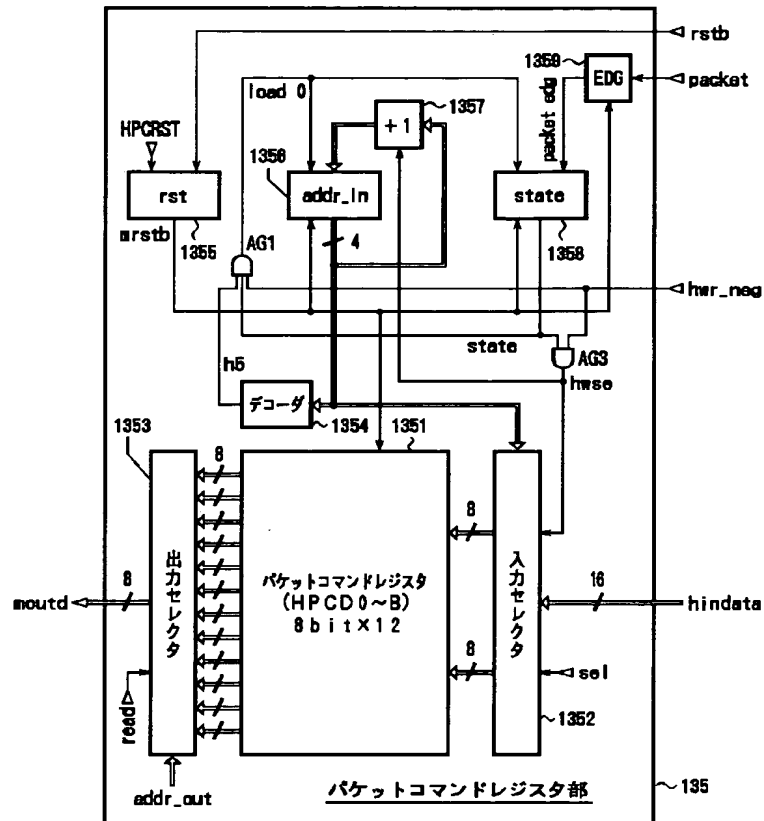
【図4】

図4 内部I/Oレジスタのアドレスマップ

種別	名称	アドレス	ビット名称							
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
9ビットレジスタ	ATERR	00h	#SENSE0	#SENSE1	#SENSE2	#SENSE3	#	ABRT	#	#
	ATFER	01h	#	#	#	#	#	#	#	#
	ATIR	02h	#	#	#	#	#	RELEASE	IO	COD
	ATBCH	04h	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
	ATBCL	05h	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
	ATDEVS	06h	#	#	#	DS	#	#	#	#
	ATCMD	07h	ACMD7	ACMD6	ACMD5	ACMD4	ACMD3	ACMD2	ACMD1	ACMD0
	ATSTA0	08h	ABSY	DRDY	#	#DSC	DRQ	#	#CORR	CHECK
	ATSTA1	09h	ABSY	DRDY	#	#DSC	DRQ	#	#CORR	CHECK
	ATDCTL	0Ah	#	#	#	#	#	SRST	IENB	#
9ビットレジスタ	ATASR	0Bh	ABSY	DRDY	#	#	DRQ	#	#	CHECK
	HGR	14h	#	#	#	#	#	#	#	START
	HBC	15h	HBC7	HBC6	HBC5	HBC4	HBC3	HBC2	HBC1	HBC0
	HPSSH	16h	#	#	#	HPSS12	HPSS11	HPSS10	HPSS9	HPSS8
16ビットレジスタ	HPSSL	17h	HPSS7	HPSS6	HPSS5	HPSS4	HPSS3	HPSS2	HPSS1	HPSS0
	HEC	21h	HPCRST	#	#	HPLSRST	DMARST	HESRST	SEL	HEE
	HPCD0	24h	HPCD07	HPCD06	HPCD05	HPCD04	HPCD03	HPCD02	HPCD01	HPCD00
	HPCD1	25h	HPCD17	HPCD16	HPCD15	HPCD14	HPCD13	HPCD12	HPCD11	HPCD10
	HPCD2	26h	HPCD27	HPCD26	HPCD25	HPCD24	HPCD23	HPCD22	HPCD21	HPCD20
	HPCD3	27h	HPCD37	HPCD36	HPCD35	HPCD34	HPCD33	HPCD32	HPCD31	HPCD30
	HPCD4	28h	HPCD47	HPCD46	HPCD45	HPCD44	HPCD43	HPCD42	HPCD41	HPCD40
	HPCD5	29h	HPCD57	HPCD56	HPCD55	HPCD54	HPCD53	HPCD52	HPCD51	HPCD50
	HPCD6	2Ah	HPCD67	HPCD66	HPCD65	HPCD64	HPCD63	HPCD62	HPCD61	HPCD60
	HPCD7	2Bh	HPCD77	HPCD76	HPCD75	HPCD74	HPCD73	HPCD72	HPCD71	HPCD70
	HPCD8	2Ch	HPCD87	HPCD86	HPCD85	HPCD84	HPCD83	HPCD82	HPCD81	HPCD80
	HPCD9	2Dh	HPCD97	HPCD96	HPCD95	HPCD94	HPCD93	HPCD92	HPCD91	HPCD90
	HPCDA	2Eh	HPCDA7	HPCDA6	HPCDA5	HPCDA4	HPCDA3	HPCDA2	HPCDA1	HPCDA0
	HPCDB	2Fh	HPCDB7	HPCDB6	HPCDB5	HPCDB4	HPCDB3	HPCDB2	HPCDB1	HPCDB0
9ビットレジスタ	HIINT	3Ah	#	#	#	CMDI	RDYER	RSTI	RSTCMD	HTINT
	HAINT	3Bh	NCMD	PKTEND	CDONE	CRCERR	MHFIFER	HFA	HVB2B	FIFOEND
	HIMSK	3Ch	INTSEL	#	#	MCMDI	MRDYER	MRSTI	MRSTCMD	MHTINT
	HAMSK	3Dh	MNCMD	MPKTEND	MCDONE	MCRRCERR	MHFIFER	MHPA	MHVB2B	MFIFOEND

: ソフトウェアにより内容定義
0 : レジスタが存在しない

図 5 パケットコマンドレジスタ部のブロック構成



【図6】

図6 パケットコマンドレジスタ部の論理記述

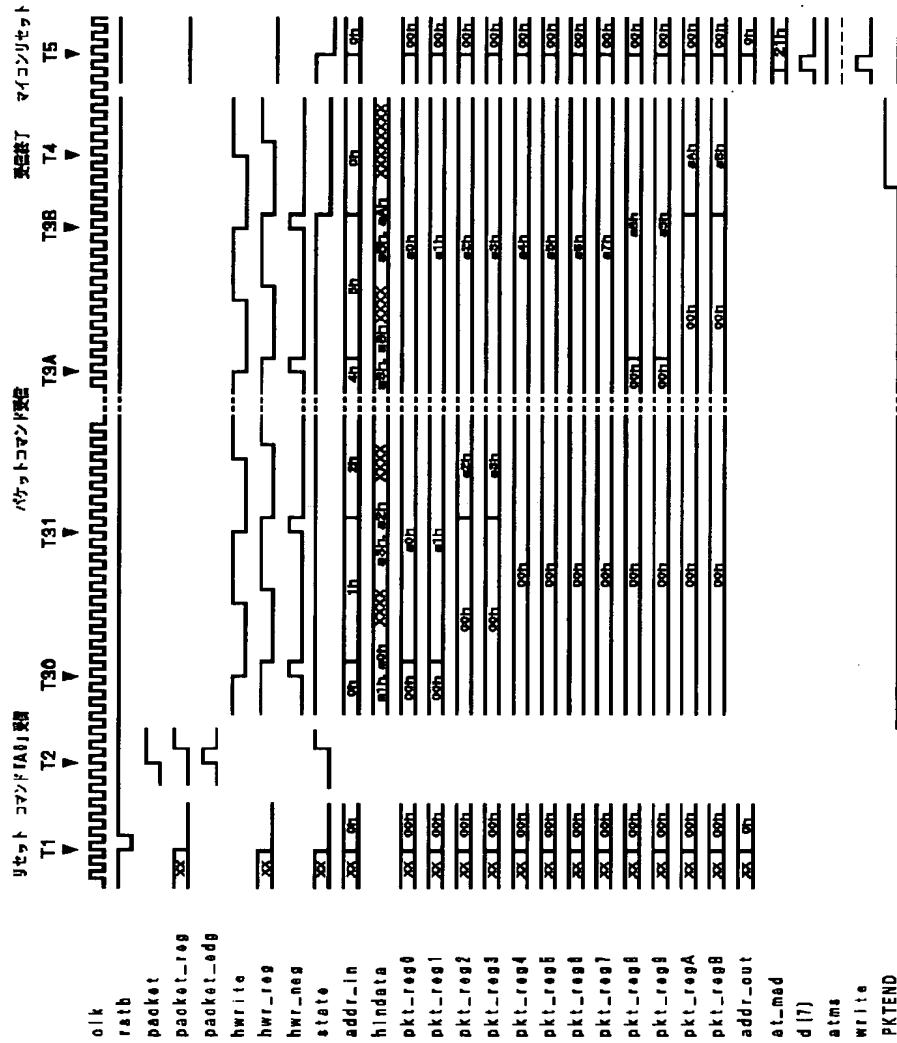
```

1 module hf_pktreg
2
3 always@(read or addr_out or pkt_reg0 or ... or pkt_reg8)
4
5     case(read_addr_out)
6     5'h0:moutd <= pkt_reg0;
7     5'h1:moutd <= pkt_reg1;
8     5'h2:moutd <= pkt_reg2;
9     5'h3:moutd <= pkt_reg3;
10    5'h4:moutd <= pkt_reg4;
11    5'h5:moutd <= pkt_reg5;
12    5'h6:moutd <= pkt_reg6;
13    5'h7:moutd <= pkt_reg7;
14    5'h8:moutd <= pkt_reg8;
15    5'h9:moutd <= pkt_reg8;
16    5'hA:moutd <= pkt_reg8;
17    5'hB:moutd <= pkt_reg8;
18    5'hC:moutd <= pkt_reg8;
19    default:moutd <= 8'h00;
20    endcase
21
22 assign      mretb      = "~rstb||((state&&(state[5:0]==0'h21)&&(d[7]==1'b1)&&write));
23
24 always@(posedge clk or negedge mretb)
25     if( mretb) begin
26         pkt_reg0 <= 8'h00;
27         pkt_reg1 <= 8'h00;
28         pkt_reg2 <= 8'h00;
29         pkt_reg3 <= 8'h00;
30         pkt_reg4 <= 8'h00;
31         pkt_reg5 <= 8'h00;
32         pkt_reg6 <= 8'h00;
33         pkt_reg7 <= 8'h00;
34         pkt_reg8 <= 8'h00;
35         pkt_reg9 <= 8'h00;
36         pkt_regA <= 8'h00;
37         pkt_regB <= 8'h00;
38     end
39     else if(state&&hwr_edg)
40         case(sel_addr_in)
41         5'h0: pkt_reg0, pkt_reg1 <= hndata;
42         5'h1: pkt_reg2, pkt_reg3 <= hndata;
43         5'h2: pkt_reg4, pkt_reg5 <= hndata;
44         5'h3: pkt_reg6, pkt_reg7 <= hndata;
45         5'h4: pkt_reg8, pkt_reg9 <= hndata;
46         5'h5: pkt_regA, pkt_regB <= hndata;
47         5'h6: pkt_regC, pkt_regD <= hndata;
48         5'h7: pkt_regE, pkt_regF <= hndata;
49         5'h8: pkt_reg10, pkt_reg11 <= hndata;
50         5'h9: pkt_reg12, pkt_reg13 <= hndata;
51         5'hA: pkt_reg14, pkt_reg15 <= hndata;
52         5'hB: pkt_reg16, pkt_reg17 <= hndata;
53         endcase
54
55 always@(posedge clk or negedge mretb)
56     if( mretb)
57         else
58             packet_reg <= 1'b0;
59             packet_reg <= packet;
60
61 wire      packet_edg = packet & ~packet_reg;
62
63 always@(posedge clk or negedge mretb)
64     if( mretb)
65         else if(packet_edg)
66             state <= 1'b1;
67         else if(state&&hwr_neg&&(addr_in==4'h5))
68             state <= 1'b0;
69         else
70             state <= state;
71
72 always@(posedge clk or negedge mretb)
73     if( mretb)
74         else if(state&&hwr_neg&&(addr_in==4'h5))
75             addr_in <= 4'h0;
76         else if(addr_in <= 4'h0)
77             addr_in <= 4'h0;
78         else if(addr_in <= addr_in+1'b1)
79             addr_in <= addr_in;
80     endmodule

```

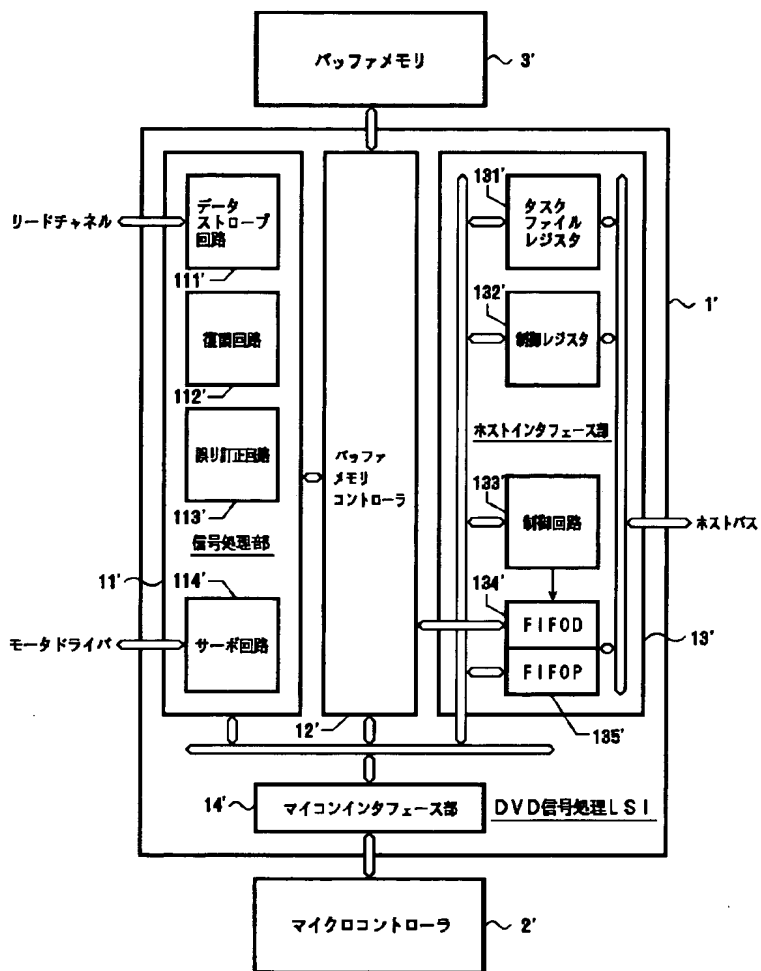
【図7】

図7 パケットコマンドレジスタ部の動作タイミング



【図8】

図8 DVD信号処理LSIのブロック構成



フロントページの続き

Fターム(参考) 5B014 GC06 GD22 GD37 GE05 HB25
 5B065 BA04 CA15 CE01 ZA11
 5D044 BC03 CC04 DE17 DE42 DE57
 EF05 HL02